

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-148570

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

H01L 21/768
H01L 21/3213
H01L 21/338
H01L 29/812

(21)Application number : 06-290197

(71)Applicant : HONDA MOTOR CO LTD

(22)Date of filing : 24.11.1994

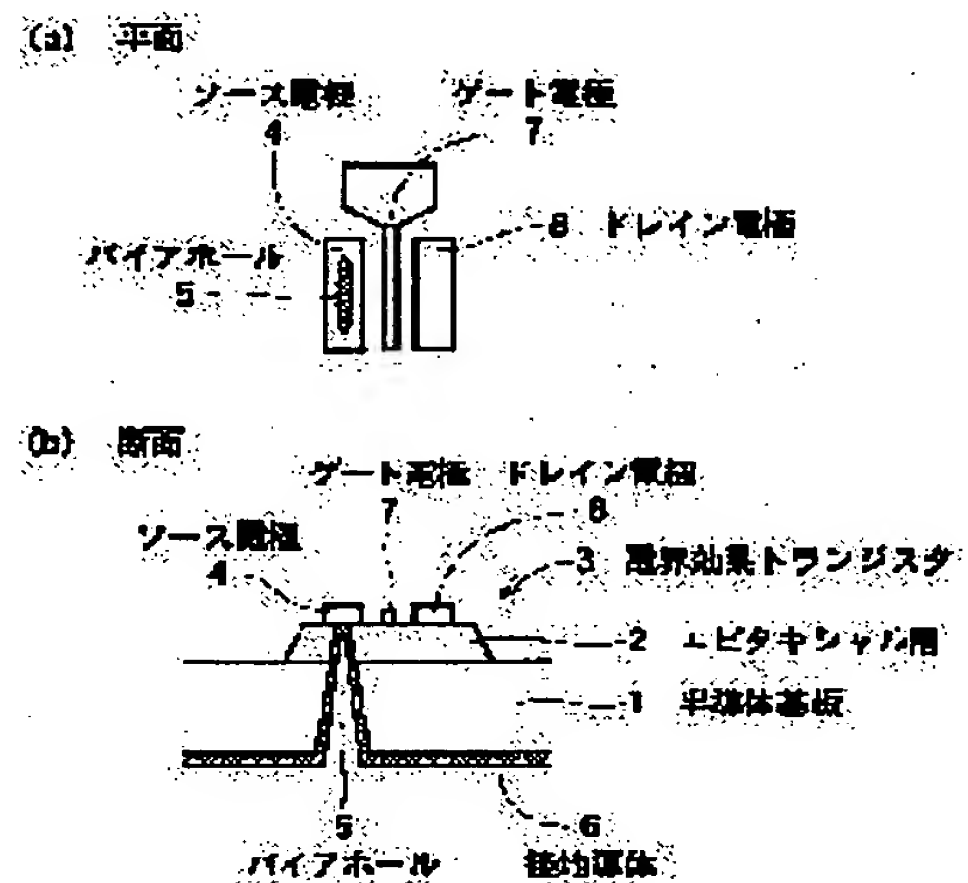
(72)Inventor : TAKEUCHI SHINSUKE
HAYASHIKURA ARITOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form a via hole even without providing an exclusive pad etc., reducing the impedance of electrical wiring connection via the via hole, and at the same time provide a semiconductor device with the via hole for reducing chip area.

CONSTITUTION: A via hole 5 is formed directly below a source electrode 4 of a field effect transistor 3 and the source electrode 4 and a grounding conductor 6 formed on the reverse side of a semiconductor substrate 1 are electrically connected. By making the sectional shape of the via hole 5 to a narrow-width rectangle or a thin elliptical shape, the via hole 5 is formed directly below the source electrode 4 or a wiring pattern. Since wiring distance can be reduced, grounding (wiring) impedance can be reduced. Also, since no exclusive pad etc. are required, chip area can be reduced. By providing a plurality of via holes, an effective resistance increase due to the skin effect can also be prevented.



LEGAL STATUS

[Date of request for examination] 27.11.2000

[Date of sending the examiner's decision of rejection] 29.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-148570

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768
21/3213
21/338

H 0 1 L 21/ 90
21/ 88

D
C

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平6-290197

(22)出願日 平成6年(1994)11月24日

(71)出願人 000005326

本田技研工業株式会社

東京都港区南青山二丁目1番1号

(72)発明者 武内 伸介

埼玉県和光市中央1丁目4番1号 株式会
社本田技術研究所内

(72)発明者 林倉 有逸

埼玉県和光市中央1丁目4番1号 株式会
社本田技術研究所内

(74)代理人 弁理士 下田 容一郎 (外2名)

(54)【発明の名称】 半導体装置

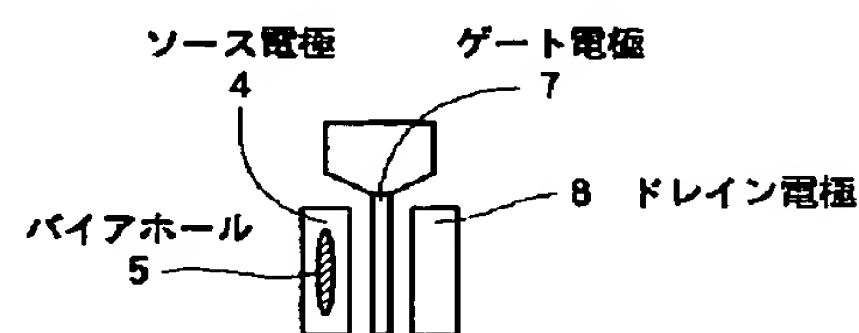
(57)【要約】

【目的】 専用のパッド等を設けなくてもバイアホールを形成できるようにし、バイアホールを介する電氣的配線接続のインピーダンスを低減するとともに、チップ面積の縮小が可能なバイアホールを備えた半導体装置を提供する。

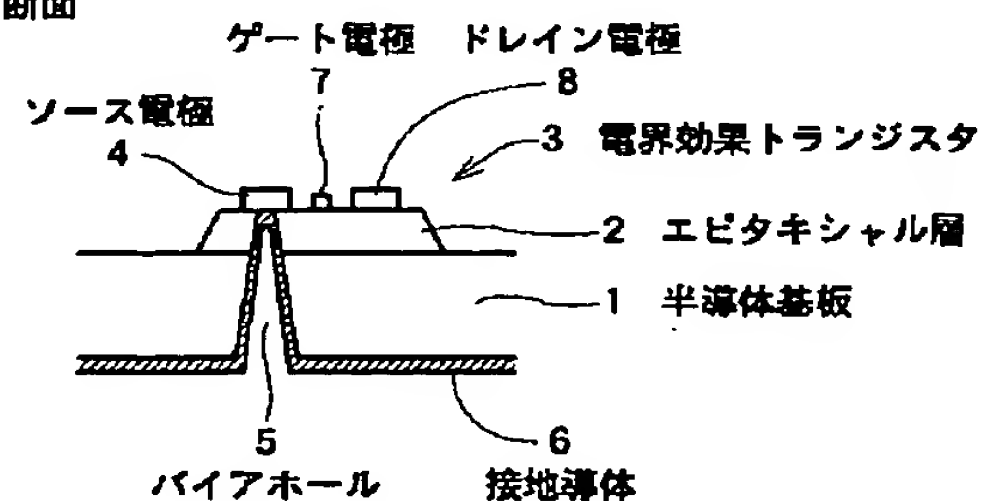
【構成】 電界効果トランジスタ3のソース電極4の直下にバイアホール5を形成し、ソース電極4と半導体基板1の裏面に形成した設定導体6との電氣的接続を行なう。バイアホール5の断面形状を狭幅の矩形または細長い楕円形状とすることで、ソース電極4や配線パターンの直下にバイアホール5を形成できるようにしている。配線距離が短くできるので接地(配線)インピーダンスの低減が図れる。また、専用のパッド等が不要であるからチップ面積の縮小が可能である。バイアホールを複数個併設することで、表皮効果に伴う実効的な抵抗の増加を防止するようにしてもよい。

請求項1に係る半導体装置の模式構造

(a) 平面



(b) 断面



【特許請求の範囲】

【請求項1】 バイアホールを介して半導体基板の表面に形成された電極または配線パターンと半導体基板の裏面に形成された下部電極とを電気的に接続するようにした半導体装置において、

前記バイアホールの断面形状を狭幅の矩形または細長い楕円形状にするとともに、その断面の長手方向を前記電極または配線パターンの長手方向に一致させて形成したことを特徴とする半導体装置。

【請求項2】 バイアホールを介して半導体基板の表面に形成された電極または配線パターンと半導体基板の裏面に形成された下部電極とを電気的に接続するようにした半導体装置において、

前記半導体基板の表面に形成された半導体素子の電極に近接してバイアホール用のパッドを形成し、このバイアホール用のパッドと前記下部電極との間を複数のバイアホールを用いて電気的に接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はバイアホールを有する半導体装置に関し、特にマイクロ波モノリシック IC (MMIC) 等の高周波用 IC においてバイアホールを形成する位置の制約をなくし接地もしくは配線インピーダンスの低下を図るようにした半導体装置に関する。

【0002】

【従来の技術】 マイクロ波モノリシック IC (MMIC) では、接地インピーダンスや配線インピーダンスの低下を図るために、半導体基板の表面に形成された電極や配線パターンと半導体基板の裏面に形成された接地導体等とを半導体基板を貫通する形で導通させるバイアホールが使用されている（例えば特開昭 63-164503 号公報、特開平 1-297865 号公報、特開平 4-311041 号公報、特開平 4-21203 号公報、特開平 5-102200 号公報等）。

【0003】 図 6 は従来のバイアホールの模式構造図であり、(a) は平面図、(b) は断面図である。半導体基板 51 上のエピタキシャル層 52 に形成した電界効果トランジスタ 53 のソース 54 をバイアホール 55 を用いて半導体基板の裏面に形成した接地導体 56 へ導通させる場合、ソースパッド 57 を形成しこのソースパッド 57 に対してバイアホール 55 を形成している。なお、58 はゲート、59 はドレインである。

【0004】

【発明が解決しようとする課題】 図 6 に示したように、従来のバイアホールは開口部の直径が数 100 μm の円錐の台形形状であるためバイアホール 55 を設置するためのパッド 57 を設けている。バイアホール用のパッドを設けるためチップ面積の縮小ならびに高集積化の妨げになるとともに、ソース電極からパッド 57 までの引き

出し導体部分のインピーダンス分だけ接地インピーダンスが増加するため、動作可能な周波数に制約を与えることがある。また、使用周波数が高くなると表皮効果によって実効的な抵抗が増加し、動作可能な周波数に制約を与えることがある。

【0005】 この発明はこのような課題を解決するためさなれたもので、請求項 1 に係る発明は、チップ面積の縮小ならびに接地（配線）インピーダンスの低下を図ることのできるバイアホールを備えた半導体装置を提供することを目的とする。請求項 2 に係る発明は、表皮効果に伴う実効的な抵抗の増加を防止したバイアホールを備えた半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 前記課題を解決するため請求項 1 に係る半導体装置は、バイアホールを介して半導体基板の表面に形成された電極または配線パターンと半導体基板の裏面に形成された下部電極とを電気的に接続するようにした半導体装置において、バイアホールの断面形状を狭幅の矩形または細長い楕円形状にするとともに、その断面の長手方向を電極または配線パターンの長手方向に一致させて形成したことを特徴とする。

【0007】 請求項 2 に係る半導体装置は、バイアホールを介して半導体基板の表面に形成された電極または配線パターンと半導体基板の裏面に形成された下部電極とを電気的に接続するようにした半導体装置において、半導体基板の表面に形成された半導体素子の電極に近接してバイアホール用のパッドを形成し、このバイアホール用のパッドと下部電極との間を複数のバイアホールを用いて電気的に接続したことを特徴とする。

【0008】

【作用】 請求項 1 に係る半導体装置は、バイアホールの断面形状を狭幅の矩形または細長い楕円形状にするとともに、その断面の長手方向を電極または配線パターンの長手方向に一致させて形成しているため、半導体装置の表面に形成された半導体素子の電極や配線パターンの直下にバイアホールを形成することができる。バイアホールを形成するためのパッド等を設けなくてよいのでチップ面積が縮小できる。また、半導体素子の電極からバイアホール用のパッドまでの引き出し部等が不要になり、半導体素子の電極の電極直下または電極の極近傍から下部電極への電気的接続が可能になるので、接地インピーダンスもしくは配線インピーダンスを低減できる。よって、配線インピーダンスによって動作可能な周波数が制限される度合が緩和され、半導体装置の動作周波数を半導体素子単体の最大動作周波数に近づけることができる。

【0009】 請求項 2 に係る半導体装置は、半導体素子の電極に近接して形成したバイアホール用のパッドと下部電極との間を複数のバイアホールを用いて電気的に接続したので、表皮効果に伴う実効的な抵抗の増加を防止

することができる。動作周波数が高くなっても接地インピーダンスもしくは配線インピーダンスを低く維持できるので、半導体装置の動作周波数を半導体素子単体の最大動作周波数に近づけることができる。

【0010】

【実施例】以下この発明の実施例を添付図面に基づいて説明する。図1は請求項1に係る半導体装置の模式構造図であり、(a)は平面図、(b)は断面図である。この図は、半導体基板1の表面に形成されたエピタキシャル層2に形成された電界効果トランジスタ3のソース電極4をバイアホール5を介して半導体基板1の裏面に形成した接地導体(下部電極)6へ電気的に接続する例を示したものである。7はゲート電極、8はドレイン電極である。

【0011】バイアホール5は、その断面形状を幅狭の矩形もしくは細長い楕円形状とし、その断面の長手方向をソース電極4の長手方向に一致させて、ソース電極4の直下に形成している。

【0012】図2は配線パターン9の直下に形成したバイアホール5の模式構造図である。図2に示すように、バイアホール5は、半導体基板1の表面に形成された配線パターン9の直下に形成してもよい。

【0013】図3および図4はバイアホールの形成工程図である。図3(a)に示すように、半導体基板であるGaAs基板11の表面側(トランジスタ形成側)をワックス12を介してガラス基板13へ張り付け、裏面側を研磨した後に、図3(b)に示すレジストパターン14を形成する。

【0014】次いで、図3(c)に示すように、 H_2S 、 O_4 と H_2O_2 を混合したエッチング液によるウェットエッチングによってGaAs基板11を表面の近くまで断面半球状にエッチングした後に、図3(d)に示すようにリアクティブイオンエッチング(RIE)によって狭幅の貫通部分を形成する。このようにウェットエッチング法とドライエッチング法を組み合わせることによって、狭幅の貫通孔を形成できる。

【0015】次に、図4(e)に示すように、 O_2 と CF_4 ガスによるプラズマアッシャーを用いてレジスト14を剥離し、図4(f)に示すように下地電極としてチタン(Ti)と金(Au)を順次蒸着した後に、図4(g)に示すように金メッキを施す。これにより、GaAs基板11の表面側の開口幅を狭くしたバイアホールが形成される。

【0016】図5はこの請求項2に係る半導体装置の模式構造図であり、(a)は平面図、(b)は断面図である。電界効果トランジスタ3のソース電極4の近傍にバイアホール用のパッド21を形成し、このパッド21に

対して複数のバイアホール22を設けている。これにより、ソース電極4の接地インピーダンスを低減し、高周波特性を向上させることができる。

【0017】

【発明の効果】以上説明したように請求項1に係る半導体装置は、バイアホールの断面形状を狭幅の矩形または細長い楕円形状にするとともに、その断面の長手方向を電極または配線パターンの長手方向に一致させて形成しているので、半導体装置の表面に形成された半導体素子の電極や配線パターンの直下にバイアホールを形成することができる。バイアホールを形成するためのパッド等を設けなくてよいのでチップ面積が縮小できる。また、半導体素子の電極からバイアホール用のパッドまでの引き出し部等が不要になり、半導体素子の電極の電極直下または電極の極近傍から下部電極への電気的接続が可能になるので、接地インピーダンスもしくは配線インピーダンスを低減できる。よって、配線インピーダンスによって動作可能な周波数が制限される度合いが緩和され、半導体装置の動作周波数を半導体素子単体の最大動作周波数に近づけることができる。

【0018】請求項2に係る半導体装置は、半導体素子の電極に近接して形成したバイアホール用のパッドと下部電極との間を複数のバイアホールを用いて電気的に接続したので、表皮効果に伴う実効的な抵抗の増加を防止することができる。動作周波数が高くなっても接地インピーダンスもしくは配線インピーダンスを低く維持できるので、半導体装置の動作周波数を半導体素子単体の最大動作周波数に近づけることができる。

【図面の簡単な説明】

【図1】請求項1に係る半導体装置の模式構造図

【図2】配線パターン9の直下に形成したバイアホール5の模式構造図

【図3】バイアホールの形成工程図(その1)

【図4】バイアホールの形成工程図(その2)

【図5】請求項2に係る半導体装置の模式構造図

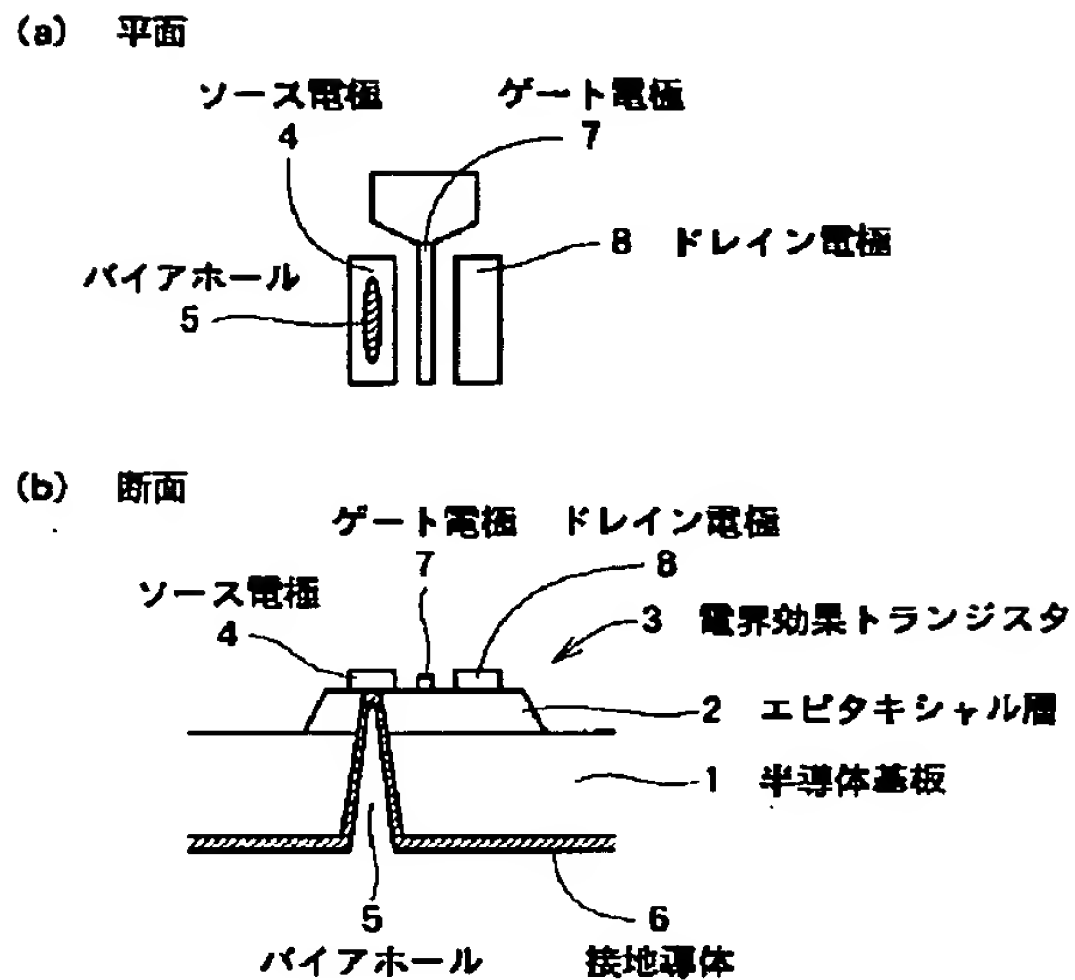
【図6】従来のバイアホールの模式構造図

【符号の説明】

- 1, 11 半導体基板
- 2 エピタキシャル層
- 3 電界効果トランジスタ
- 4 ソース電極
- 5, 22 バイアホール
- 6 接地導体(下部電極)
- 7 ゲート電極
- 8 ドレイン電極
- 9 配線パターン
- 21 バイアホール用のパッド

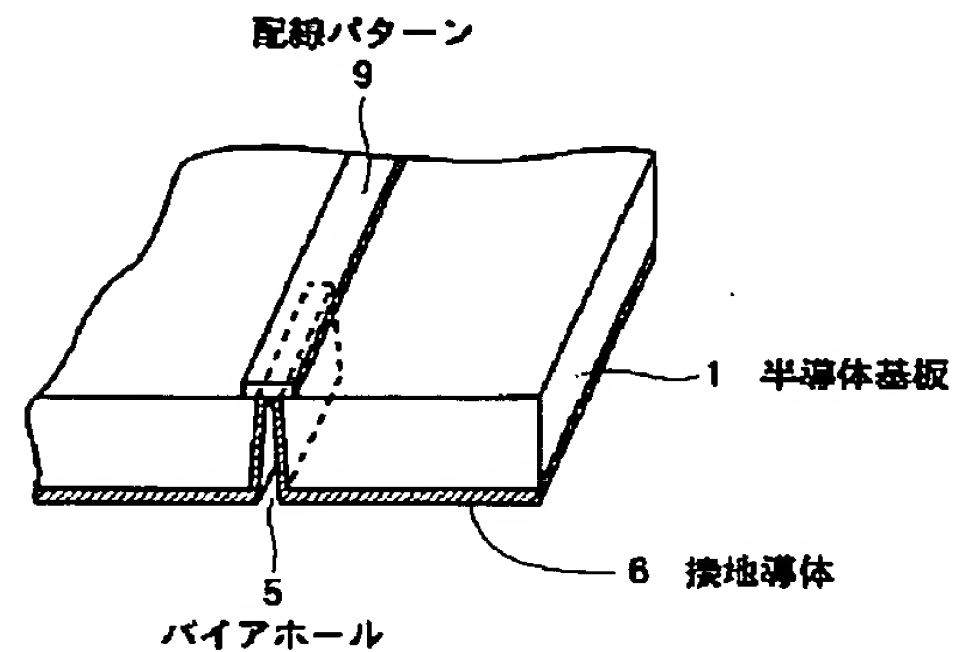
【図1】

請求項1に係る半導体装置の模式構造



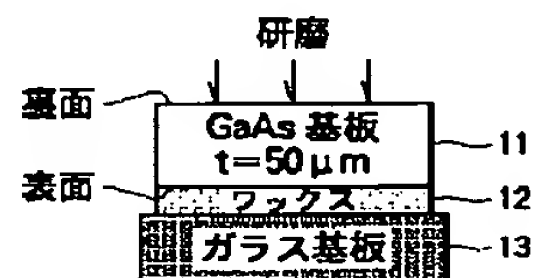
【図2】

配線パターン直下に形成したバイアホールの模式構造

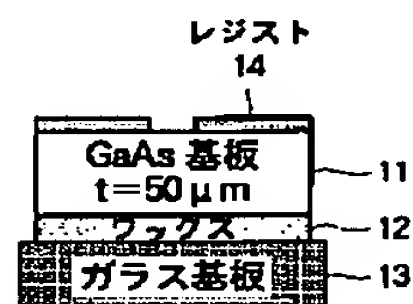


【図3】

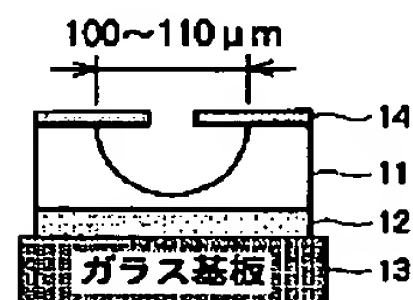
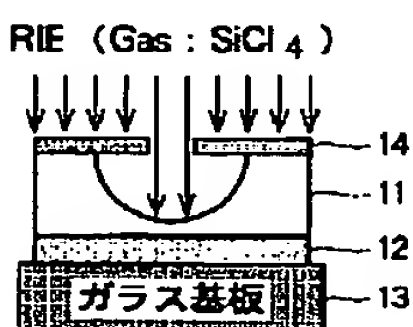
(a) ワックス張り付け、ラッピング、ポリッシング



(b) CT パターン

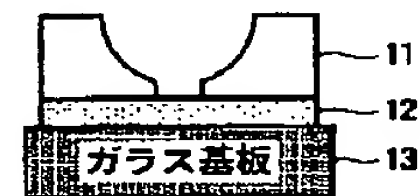


(c) ウエットエッチング

(d) ドライエッチング
RIE (使用 Gas : SiCl_4)

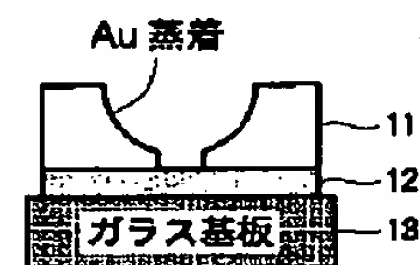
【図4】

(e) レジスト剝離

 $\text{O}_2 + \text{CF}_4$
プラズマアッシャー

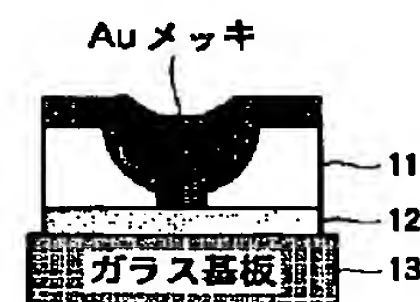
(f) 下地電極 EVA

Ti/Au

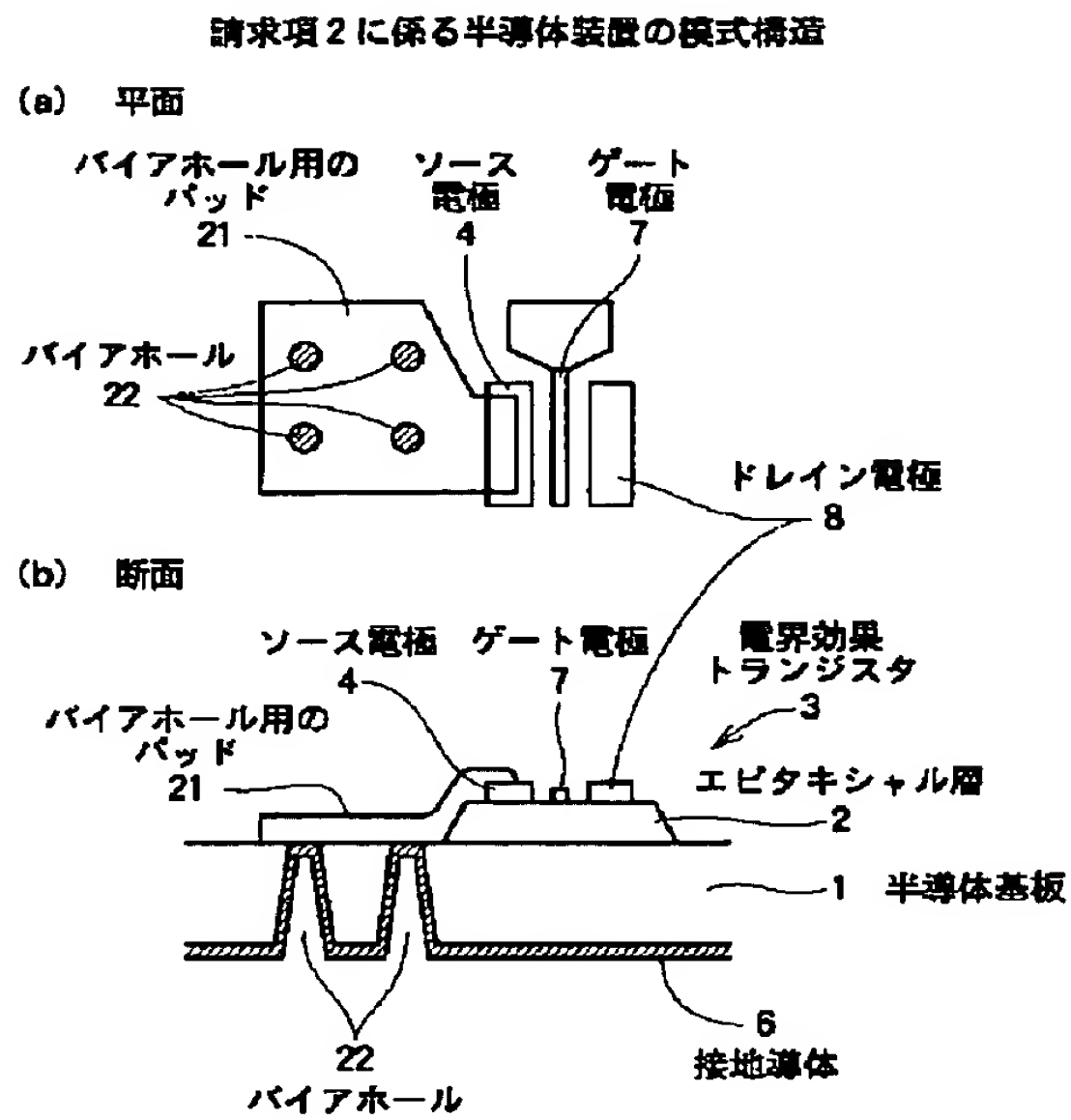


(g) Au メッキ

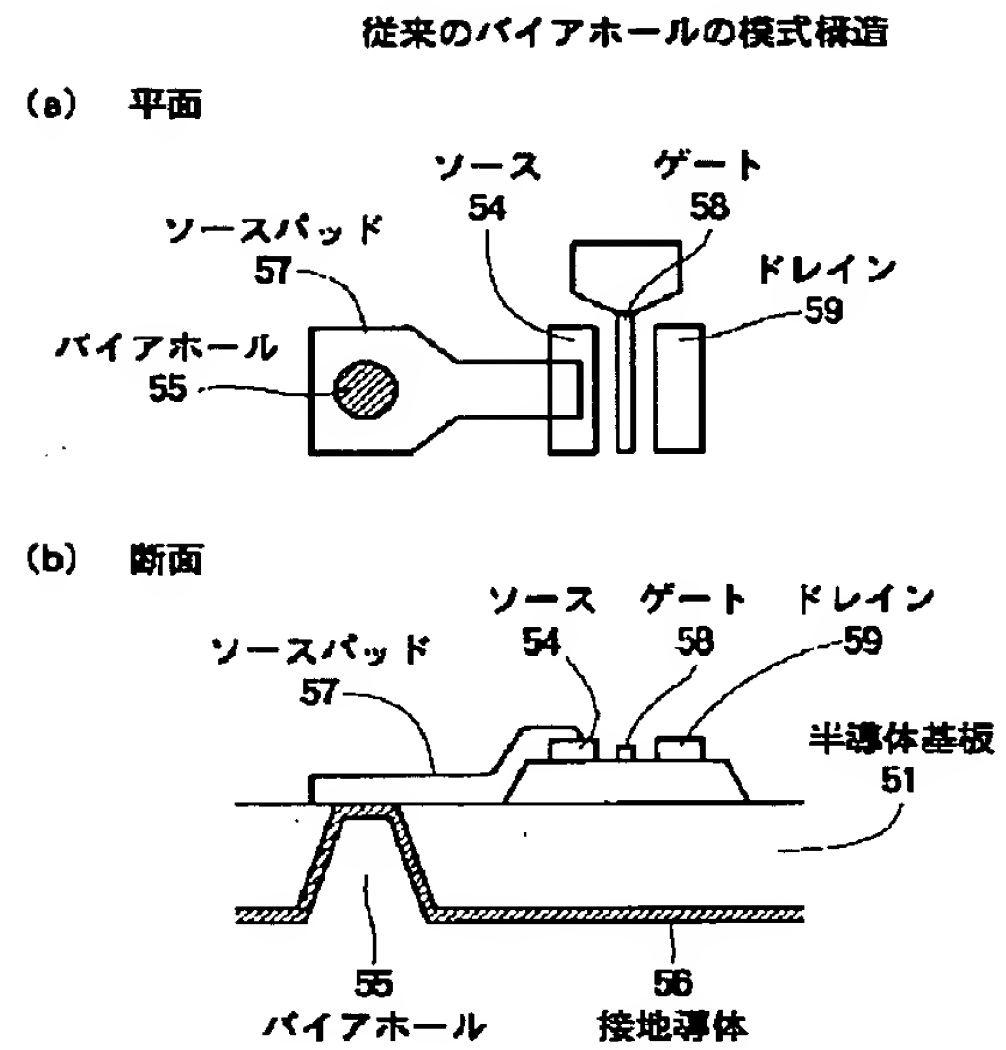
ディップ式電解メッキ



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. ⁶
H 0 1 L 29/812

識別記号

庁内整理番号

F I

技術表示箇所

9171-4M

H 0 1 L 29/80

U